

CARTA DESCRIPTIVA (FORMATO MODELO EDUCATIVO UACJ VISIÓN 2020)

I. Identificadores de la asignatura			
Instituto	IIT	Modalidad:	Presencial
Departamento:	Ingeniería Eléctrica y Computación	Créditos:	8
Materia:	Diseño de Sistemas Digitales I	Carácter:	Optativa
Programa:	Ingeniería en Sistemas Digitales y Com.	Tipo:	Curso
Clave:	IEC230700		
Nivel:	Licenciatura		
Horas:	64 Totales	Teoría: 90%	Práctica: 10%

II. Ubicación	Clave:
Antecedentes:	
Sistemas Digitales I	IEC230496
Consecuente:	
No aplica	

III. Antecedentes
Conocimientos: Aritmética binaria, números de punto fijo y punto flotante, operaciones básicas con punto fijo y punto flotante, multiplicadores, divisores, sumadores, restadores de punto fijo, diseño de máquinas de estado, multiplexores, contadores síncronos y asíncronos.
Habilidades: Pensamiento crítico, facilidad para el razonamiento, capacidad de análisis de problemas, razonamiento lógico, razonamiento abstracto, capacidad analítica, capacidad de síntesis, capacidad de observación, capacidad de inferir, capacidad de inducir, capacidad de abstracción.
Actitudes y valores: Disposición al trabajo en equipo. Iniciativa de aprendizaje. Demostrar honestidad, responsabilidad, respeto, puntualidad. El estudiante tendrá disposición a creatividad lógica, tenacidad, dedicación y constancia.

IV. Propósitos Generales	
Esta materia tiene como propósito que el estudiante adquiera los conocimientos necesarios para el diseño y análisis en lógica programable de dispositivos lógicos de mediana complejidad, utilizando algún lenguaje para diseño de hardware como VHDL, con el fin de utilizarlos en la resolución de problemas que involucren el diseño rápido de prototipos.	
V. Compromisos formativos	
Intelectual:	El estudiante se autodirige en la búsqueda de información y aprendizaje de técnicas ó métodos que permitan la solución de problemas relativos a su profesión. Desarrolla o elige soluciones a problemas que involucren el diseño de dispositivos lógicos. Se comunica efectivamente tanto en forma oral como escrita en el ejercicio de su profesión, siendo capaz de adecuar el nivel y contenido técnico de la comunicación de acuerdo a las necesidades o intereses del destinatario.
Humano:	Aporta esfuerzo, compromiso, integridad y honestidad a cualquier negocio, industria u organización pública o privada en donde ejerza sus servicios profesionales. Participa como un miembro productivo cuando integre equipos de trabajo.
Social:	Respeto las leyes y normas establecidas por la sociedad y de manera particular aquellas relacionadas con el ejercicio de su profesión. Es cuidadoso de actuar bajo los principios éticos de su profesión. Se muestra interesado por contribuir, desde el ejercicio de su profesión, a la conservación del medio ambiente.
Profesional:	El estudiante incorpora a su formación los conocimientos del diseño de dispositivos lógicos en lógica programable.

VI. Condiciones de operación	
Espacio:	aula tradicional
Laboratorio:	cómputo
Mobiliario:	mesa redonda y sillas
Población:	25 - 30
Material de uso frecuente:	A) Rotafolio B) Proyector C) Cañón y computadora portatil
Condiciones especiales:	No aplica

Temas	Contenidos	Actividades
1. Introducción al curso.	<p>Encuadre del curso.</p> <p>Importancia de la lógica programable.</p> <p>Ejemplos donde se utiliza la lógica programable.</p>	<p>El instructor presenta el programa, las políticas del curso y la forma de evaluar.</p> <p>El instructor explica la importancia del curso y da ejemplos.</p> <p>El estudiante lee y responde a las preguntas del profesor, toma nota y subraya los apuntes.</p>
2. Introducción al lenguaje VHDL	<p>a. Atributos de los sistemas digitales.</p> <p>b. Modelos de ejecución para programas en VHDL.</p> <p>c. Estructura de un programa en VHDL, unidades de diseño y su sintaxis.</p> <p>d. Programa de prueba (test bench).</p>	<p>El instructor explica los diferentes atributos de los sistemas digitales.</p> <p>El estudiante toma nota, lee y responde preguntas del profesor.</p> <p>El instructor explica el modelo para simulación y para síntesis en VHDL de un sistema digital y explica sus diferencias.</p> <p>El estudiante toma nota, lee y responde preguntas del profesor.</p> <p>El instructor explica la estructura de un programa en VHDL así como sus unidades de diseño y la sintaxis asociada en la declaración de cada unidad.</p> <p>El instructor explica las diferentes áreas de concurrencia y de secuencialidad dentro de un programa en VHDL. Por ejemplo, los procesos y las funciones son áreas secuenciales.</p> <p>El instructor explica el diseño de un programa de pruebas (test bench).</p> <p>El estudiante reflexiona, toma nota, lee y responde preguntas del instructor.</p> <p>El estudiante realiza ejercicios prácticos de declaración de unidades de diseño en VHDL.</p>
3. Sintaxis del lenguaje VHDL	<p>a. Tipos de datos.</p> <p>b. Operadores.</p> <p>c. Genéricos.</p> <p>d. Modos y sintaxis de los puertos.</p> <p>e. Tipos estándares y sus bibliotecas.</p> <p>f. Componentes.</p> <p>g. Instanciación de componentes.</p> <p>h. Procesos.</p> <p>i. Variables, constantes señales y sus diferencias.</p> <p>j. Enunciados secuenciales</p> <p>k. Enunciados concurrentes</p> <p>l. Reglas para la síntesis.</p> <p>m. Archivos.</p>	<p>El instructor explica algunos de los tipos de datos de VHDL así como los operadores y la forma de utilizar los genéricos en una entidad.</p> <p>El instructor explica los modos de los puertos, los tipos de datos estándares y sus bibliotecas.</p> <p>El estudiante toma nota, responde preguntas del instructor y realiza ejercicios con modos de puertos, tipos de datos y operadores.</p> <p>El instructor explica los componentes y su instanciación así como las variables, las constantes y las señales haciendo énfasis en sus diferencias y en la forma de utilizarlas.</p> <p>El instructor explica los enunciados que existen para áreas concurrentes y los de áreas secuenciales.</p> <p>El estudiante realiza ejercicios prácticos que conjugan procesos, instanciación de componentes, declaración de señales, variables y constantes así ejercicios que involucran el uso de enunciados secuenciales y concurrentes en VHDL.</p> <p>El instructor explica las reglas de la síntesis.</p> <p>El instructor explica las instrucciones para acceso al disco para el uso de archivos en VHDL.</p> <p>El estudiante reflexiona, toma nota y responde preguntas del instructor.</p>
4. Lógica combinacional	<p>a. FPGAs.</p> <p>b. La celda universal.</p> <p>c. Selector de 16 bits utilizando procesos</p> <p>d. Comparadores de igualdad de desigualdad</p> <p>e. Sumador de rizo</p> <p>f. Sumador con acarreo adelantado</p> <p>g. Barrel shifter</p>	<p>El instructor repasa el FPGAs, analiza diagramas de FPGAs y expone la filosofía bajo la cual se desarrollan los FPGAs.</p> <p>El instructor repasa el concepto de lógica combinacional y secuencial,</p> <p>El estudiante reflexiona, toma nota y responde preguntas del instructor.</p> <p>El instructor repasa el concepto de los selectores.</p> <p>El estudiante realiza en VHDL un selector de 16 bits en 3 formas diferentes y observa los diagramas resultantes del place and route.</p> <p>El estudiante inspecciona y analiza el circuito sintetizado.</p> <p>El estudiante realiza un programa de prueba (test bench) para los selectores.</p>

		<p>El estudiante inspecciona y analiza el circuito sintetizado. El instructor repasa el concepto de los comparadores de igualdad / desigualdad.</p> <p>El estudiante realiza en VHDL un comparador de igualdad y uno de desigualdad con sus respectivos programas de prueba.</p> <p>El estudiante inspecciona y analiza el circuito sintetizado. El instructor repasa los conceptos de los sumadores de rizo y de acarreo adelantado.</p> <p>El estudiante realiza en VHDL un sumador de rizo y uno de acarreo adelantado de al menos 4 bits y verifica la frecuencia máxima de operación en cada caso.</p> <p>El estudiante realiza un programa de prueba (test bench) para los comparadores de igualdad / desigualdad.</p> <p>El instructor repasa el concepto barrel shifter.</p> <p>El estudiante realiza en VHDL un barrel shifter de 8 bits y observa los diagramas resultantes del place and route.</p> <p>El estudiante realiza un programa de prueba (test bench) para el barrel shifter.</p>
5. Lógica secuencial	<ul style="list-style-type: none"> a. Flip – flops D, JK, T, RS b. Implementación de múltiples flip-flops. c. Latches d. Contadores e. Convertidores paralelo a serie y serie a paralelo. f. Buffers de tres estados g. Drivers h. Paquetes 	<p>El instructor repasa los conceptos de los flip-flops D, JK, T, RS.</p> <p>El estudiante implementa en VHDL los flip-flops y realiza el programa para probarlos (test bench).</p> <p>El instructor repasa los conceptos de contadores síncronos y asíncronos y enfatiza sus diferencias.</p> <p>El estudiante realiza en VHDL un contador síncrono y uno asíncrono y realiza el programa para probarlos (test bench).</p> <p>El estudiante inspecciona y analiza el circuito sintetizado.</p> <p>El instructor repasa los conceptos de los convertidores serie a paralelo y de paralelo a serie.</p> <p>El estudiante realiza en VHDL un convertidor serie a paralelo y otro de paralelo a serie, con sus respectivos programas de pruebas.</p> <p>El estudiante inspecciona y analiza el circuito sintetizado.</p> <p>El instructor repasa el concepto de latches, buffers de tres estados y drivers.</p> <p>El estudiante realiza en VHDL latches, buffers de tres estados y drivers y realiza el programa de prueba (test bench) para comprobar la operación.</p> <p>El estudiante inspecciona y analiza el circuito sintetizado.</p> <p>El instructor explica cómo realizar paquetes de componentes en VHDL.</p> <p>El estudiante realiza paquetes en VHDL y los utiliza en sus programas.</p> <p>El estudiante reflexiona, toma nota y responde preguntas del instructor.</p>
6. Aritmética de punto fijo en FPGAs	<ul style="list-style-type: none"> a. Margen de ruido b. Conversión binario a decimal – decimal a binario. c. Aritmética binaria. d. Rango de un número binario. e. Aritmética de complemento a 2. f. Álgebra booleana g. Sumador - restador h. Sumador serie i. Multiplicación binaria j. La celda multiplicadora unitaria k. Arreglo multiplicador de 4 bits con celdas multiplicadoras l. Time cut m. La división binaria n. La celda divisora unitaria o. Arreglo divisor de 4 bits con celdas divisoras p. La raíz cuadrada q. Arreglo raíz cuadrada de 4 bits r. Trayectoria crítica. 	<p>El instructor repasa los conceptos de acerca de margen de ruido, conversión binario a decimal y decimal a binario.</p> <p>El instructor repasa los conceptos de la aritmética binaria así como los rangos de los números binarios.</p> <p>El instructor repasa los conceptos de la aritmética de complemento a 2 y el álgebra booleana.</p> <p>El estudiante reflexiona, toma nota y responde preguntas del instructor.</p> <p>El instructor explica el sumador – restador.</p> <p>El instructor explica la multiplicación binaria y la celda multiplicadora unitaria</p> <p>El estudiante realiza en VHDL un multiplicador con celdas de multiplicación unitarias y realiza el programa de prueba (test bench) para comprobar la operación.</p> <p>El instructor explica la división binaria y la celda divisora unitaria</p> <p>El estudiante realiza en VHDL un divisor con celdas de división unitarias y realiza el programa de prueba (test bench) para comprobar la operación.</p> <p>El instructor explica la raíz cuadrada binaria y la celda unitaria</p> <p>El estudiante realiza en VHDL un programa de la raíz cuadrada con celdas unitarias y realiza el programa de prueba (test bench) para comprobar la operación.</p>

<p>7. Diseños de mediana complejidad.</p>	<p>a. Diseño e implementación de un filtro FIR utilizado ventanas.</p> <ul style="list-style-type: none"> i.- Cálculo de los coeficientes del filtro. ii.- Caracterización de los coeficientes del filtro. iii.- Caracterización del ruido debido a la cuantificación de los coeficientes. iv.- Implementación en VHDL y lógica programable. <p>b. Registros.</p> <ul style="list-style-type: none"> i.- Marco general para el diseño de registros. ii.- Organización general de bloques de registros. iii.- Registros de interrupción. iv.- Registros de control de DMA v.- Registros de configuración vi.- Registros de lectura. 	<p>El instructor explica los filtros FIR ideales y las ventanas mas comunes y el efecto de la cuantificación de los coeficiente.</p> <p>El estudiante reflexiona, toma nota y responde preguntas del instructor.</p> <p>El estudiante resuelve ejercicios.</p> <p>El estudiante realiza en VHDL un programa para implementar un filtro FIR con alguna de las ventanas estudiadas y realiza el programa de prueba (test bench) para comprobar la operación.</p> <p>El instructor muestra el marco general para el diseño de registros, explica la organización general de bloques de registros y su programación. Por último da ejemplos de registros de interrupción, de control de DMA, de configuración y de lectura.</p> <p>El estudiante reflexiona, toma nota y responde preguntas del instructor.</p> <p>El estudiante analiza programas de registros y los visualiza utilizando place and route.</p> <p>El estudiante analiza programas de prueba (test bench para registros).</p>
---	--	---

VIII. Metodología y estrategias didácticas

Metodología Institucional:

- a) Elaboración de ensayos, monografías e investigaciones (según el nivel) consultando fuentes bibliográficas, hemerográficas y en Internet.
- b) Elaboración de reportes de lectura de artículos en lengua inglesa, actuales y relevantes.

Estrategias del Modelo UACJ Visión 2020 recomendadas para el curso:

- a) aproximación empírica a la realidad
- b) búsqueda, organización y recuperación de información
- c) comunicación horizontal
- d) descubrimiento
- e) ejecución-ejercitación
- f) elección, decisión
- g) evaluación
- h) experimentación
- i) extrapolación y trasferencia
- j) internalización
- k) investigación
- l) meta cognitivas

- m) planeación, previsión y anticipación
- n) problematización
- o) proceso de pensamiento lógico y crítico
- p) procesos de pensamiento creativo divergente y lateral
- q) procesamiento, apropiación-construcción
- r) significación generalización
- s) trabajo colaborativo

IX. Criterios de evaluación y acreditación

a) Institucionales de acreditación:

Acreditación mínima de 80% de clases programadas

Entrega oportuna de trabajos

Pago de derechos

Calificación ordinaria mínima de 7.0

Permite examen único: no

b) Evaluación del curso

Acreditación de los temas mediante los siguientes porcentajes:

Tema 1 =5%, Tema 2 = 5 %, Tema 3 = 10%, Tema 4 = 10%,

Tema 5 = 10%, Tema 6 =10%, Tema 7 = 15%, Participación: 5%,

Tareas: 5%, Prácticas : 10%, Proyectos: 15%

Total: 100 %

X. Bibliografía

Digital Systems Design with VHDL and Synthesis and Integrated Approach, K.C. Chang, IEEE Computer Society.

X. Perfil deseable del docente

Doctorado ó maestría en áreas de ciencias o ingeniería especialidad lógica programable.

XI. Institucionalización

Responsable del Departamento: Jesús Armando Gándara Fernández

Coordinador/a del Programa: David García Chaparro.

Fecha de elaboración: 13 de mayo del 2013.

Elaboró: Humberto de Jesús Ochoa Domínguez.

Fecha de rediseño:

Rediseño: